

PAT-NO: JP401276239A

DOCUMENT-IDENTIFIER: JP 01276239 A

TITLE: MICROCOMPUTER

PUBN-DATE: November 6, 1989

INVENTOR-INFORMATION:

NAME

NISHIJIMA, OSAMU

ASSIGNEE-INFORMATION:

NAME

COUNTRY

MATSUSHITA ELECTRIC IND CO LTD

N/A

APPL-NO: JP63104523

APPL-DATE: April 27, 1988

INT-CL (IPC): G06F009/46, G06F009/22

ABSTRACT:

PURPOSE: To widely shorten an interruption response time by deciding an instruction code stored in an instruction register, stopping the updating of a program counter during a fixed instruction cycle and updating one part of the instruction register when fixed conditions are satisfied.

CONSTITUTION: When an interruption is generated in the middle of executing an A part, the interruption can be accepted at an (a) point, and at such a time, by sheltering only an instruction register 2 and an extension instruction register 5, an instruction execution can be resumed afterwards. Namely, at the time of seeing the contents of the instruction register 2 and the contents of the extension instruction register 5, namely, '101', the fact that the said instruction needs to be execution-resumed from a B point can be known. Thus, since the quartered execution can be executed in the example, the interruption response time can be shortened into 1/4 in comparison with a conventional one.

COPYRIGHT: (C)1989,JPO&Japio

⑫ 公開特許公報(A)

平1-276239

⑤ Int. Cl.⁴G 06 F 9/46
9/22

識別記号

3 1 4
3 6 0

庁内整理番号

Z-7056-5B
7361-5B

⑬ 公開 平成1年(1989)11月6日

審査請求 未請求 請求項の数 1 (全4頁)

⑭ 発明の名称 マイクロコンピュータ

⑮ 特 願 昭63-104523

⑯ 出 願 昭63(1988)4月27日

⑰ 発 明 者 西 嶋 修 大阪府門真市大字門真1006番地 松下電器産業株式会社内
 ⑱ 出 願 人 松下電器産業株式会社 大阪府門真市大字門真1006番地
 ⑲ 代 理 人 弁理士 中尾 敏男 外1名

明 細 書

1、発明の名称

マイクロコンピュータ

2、特許請求の範囲

プログラムカウンタ、命令レジスタおよび制御部を有し、前記命令レジスタに格納された命令コードを判定し、一定の条件を満足していた場合、一定の命令サイクルの間、前記プログラムカウンタの更新を停止するとともに、前記命令レジスタの一部を更新する制御機能をそなえたことを特徴とするマイクロコンピュータ。

3、発明の詳細な説明

産業上の利用分野

本発明はプログラムの実行を行なうマイクロコンピュータに関するものである。

従来の技術

従来のマイクロコンピュータにおいては、第3図のブロック図に示されるように、プログラムカウンタ1により指定されるアドレスの命令を命令レジスタ2に格納し、その内容を制御回路3によ

り各種の制御信号に変換し、命令メモリ4からの命令に相当する制御を実行させていた。この時、命令実行の期間においては一般に命令レジスタ2は固定しており、命令実行の途中において割込みは受け付けられなかった。またプログラムカウンタ1は、通常、命令サイクル毎に次の命令を指定するために更新される。

上記命令の実行について更に詳しく説明すると、一般のマイクロコンピュータでは、命令レジスタによりその命令に相当するマイクロコードROMが起動され、その命令に必要な処理を一連のマイクロコードプログラムを実行することにより行なっている。従って割込みなどによってこのマイクロコードプログラムを中断することは不可能ではないが、非常に複雑なハードウェアを必要とするため、一般には行なわれていない。このことは、命令レジスタに格納された命令の実行が開始されると、その命令の実行が終了するまで処理の中断ができないことを示している。例えば、非常に実行サイクル数の長い64ビット+64ビット

命令などでは64回のシフト加算の実行が必要となり、約70命令サイクルの間、命令の実行を中断できないことを示している。

発明が解決しようとする課題

上述の従来装置によると、実時間応答性の必要なアプリケーションにおいては、命令の中断が不可能なため、実行サイクルの長い命令を実行中に割り込み要求があった場合には、その命令の終了時まで割り込みが保留されることになり、割り込み応答性が悪くなり問題を発生する。例えば、命令サイクルが0.5マイクロ秒の場合、上記約70サイクルの実行時間は35マイクロ秒であり最悪ではその期間割り込みが保留されることを意味し、高速のアプリケーションでは致命的なロス時間となる。

本発明はこのような命令実行中の割り込みが、その命令実行の終了時まで保留され、実時間応答性が低下するという問題点を解消し、より高速なアプリケーションに対応可能なマイクロコンピュータを提供しようとするものである。

ながら説明する。

第1図は本発明による一実施例の基本構成を示している。本例では説明を簡単にするために第3図の従来構成に対し、拡張命令レジスタ5、拡張命令レジスタ制御信号線6、拡張命令コード信号線7を追加して構成した例を示している。

まず、第1図示構成のマイクロコンピュータの基本動作を説明する。マイクロコンピュータでは、現在実行すべき命令のアドレスはプログラムカウンタ1に保持されており、その値によって命令メモリ4より処理に必要な命令をアドレスし、その命令を命令レジスタ2に格納し、その出力(命令コード)から制御回路3によりマイクロコンピュータの各部を制御する制御信号を順次発生し、所定の動作を実行している。

一般に制御回路3は非常に複雑なマイクロROM方式で制御されているため、上記命令の実行を一時中断し、後刻その命令の以降の処理を継続する機能を追加することは回路規模の大幅な増加をまねくため、このような機能は、従来、装備されて

課題を解決するための手段

この目的を達成するために、本発明では、命令レジスタに格納された命令コードを判定し、命令実行時間の長さなどの一定の条件を満足していた場合、一定の命令サイクルの間、プログラムカウンタの更新を停止するとともに、命令レジスタの一部を更新する制御機能をそなえたマイクロコンピュータである。

作用

このようなマイクロコンピュータを構成することにより、下記の作用が得られる。

第1に、命令の実行を途中で中断し、後刻その命令の以降の処理を継続して実行できる。

第2に、通常のマイクロコンピュータの基本構成に一部の回路の追加により実現が可能である。

さらに、第3にマイクロコンピュータのユーザにとっては高速応答性の向上のために、プログラムの書換えなどの余分な作業は一切不要である。

実施例

以下に本発明の一実施例について図面を参照し

いなかった。

本発明は従来からのマイクロコンピュータの基本的な構造を変更することなく、簡単な拡張命令レジスタ回路5と信号線6、7の追加および、制御回路3への簡単な機能追加により、命令実行を中断、再開継続実行することを可能にしたものである。

次に、各部の動作を説明する。今、命令の実行時間が非常に長いと仮定し、その命令を、第2図(a)に示したように、4分割による実行を可能とするマイクロコンピュータについて説明する。

この時、拡張命令レジスタ5は、第2図(b)の状態レベル図のように、1ビットのフラグと2ビットのカウントにより構成することができる。制御回路3への命令コードとしては従来からの命令レジスタ2の出力と上記拡張命令レジスタ5の出力を信号線7を通じて入力する。まず特別な処理を必要としない命令に関しては拡張命令レジスタ5のフラグは“0”としておき、このフラグが“0”の場合、制御回路3は、拡張命令コードを無視し

て、第3図の場合と同等に動作する。

次に、命令コードを判定した結果、命令の分割実行が必要と判定された場合は、上記フラグに“1”を設定するとともに、拡張命令レジスタ5のカウンタ部をクリアする。このとき、拡張命令レジスタ5の内容は第2図(b)の最上段に示した値となる。フラグに“1”が設定されると、制御回路3は、拡張命令レジスタ5および命令レジスタ2の出力を命令コードとして動作する。即ち、第2図のAの部分の処理を実行する。この時プログラムカウンタ1の更新は停止され、命令レジスタ2の内容はそのまま保持される。次に、Aの部分の実行がa点で終了すると、制御信号線7により、拡張命令レジスタ5のカウンタ部を(+1)インクリメントする。以降同様に処理の実行、カウンタのインクリメントを繰返すことにより、B、C、Dの各部分へと順次処理され命令の実行が終了する。この時点でプログラムカウンタ1を更新し、次の命令をアドレスする。

このように、拡張命令レジスタ5の簡単な制御

を制御回路3に追加することにはなるが、割込みのない場合、命令は通常どおり実行できる。

次に命令実行中に割込みが発生した場合をのべる。第2図(a)のA部分を実行中に割込みが発生した場合、a点において割込みを受理することができ、この時、命令レジスタ2および拡張命令レジスタ5のみを待避しておくことにより、あとで命令実行の再開が可能となる。具体的には命令レジスタ2の内容および拡張命令レジスタ5の内容、即ち“101”を見れば、該当の命令をB部分より実行再開すれば良いことがわかる。従って本応用例では命令の4分割実行が可能なることから、割込み応答時間が従来の1/4に短縮できる。

発明の効果

このように本発明を応用することにより、簡単な回路の追加と一部の制御回路の増強により、マイクロコンピュータの命令実行の中断、再開、継続実行が可能となり、割込み応答時間の大幅な短縮をはかることが可能となる。

4、図面の簡単な説明

第1図は従来のマイクロコンピュータの基本構成図を示している。

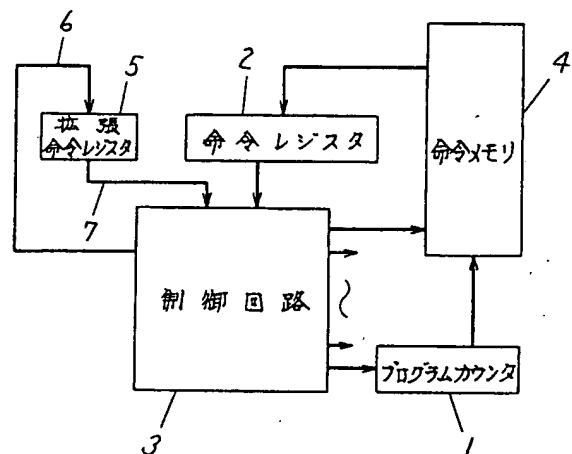
第2図は本発明によるマイクロコンピュータの基本構成の一例を示している。

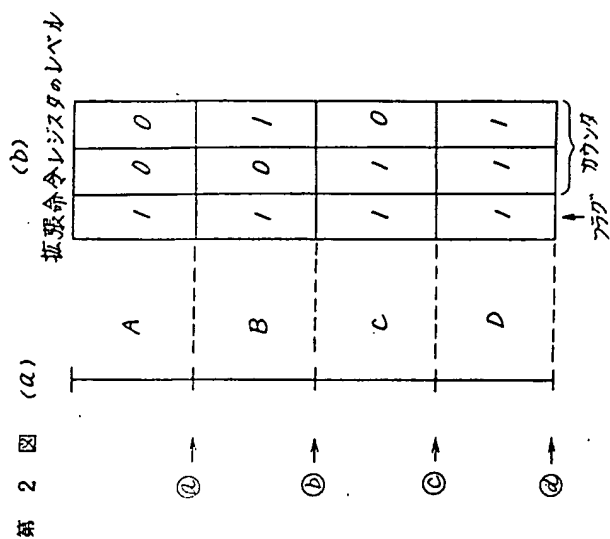
第3図は本発明を適用しマイクロコンピュータにより命令の実行をA、B、C、Dの4つの部分に分割し実行する例を示している。

1……プログラムカウンタ、2……命令レジスタ、3……制御回路、4……命令メモリ、5……拡張命令レジスタ、6……拡張命令レジスタ制御信号線、7……拡張命令コード信号線。

代理人の氏名 弁理士 中尾敏男 ほか1名

第 1 図





第 3 図

